

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-139757

(43)Date of publication of application : 27.05.1997

(51)Int.Cl.

H04L 29/06

H04J 3/17

(21)Application number : 07-294173

(71)Applicant : FUJITSU LTD

(22)Date of filing : 13.11.1995

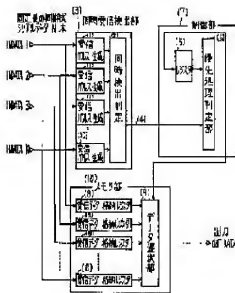
(72)Inventor : SUZUKI MASAYUKI

(54) CONTENTION DATA PROCESSING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To attain communication processing such as frame multiplexing even when some of plural reception data received in parallel are in contention to each other.

SOLUTION: The circuit is provided with a memory section 10 consisting of a register 8 storing all of synchronous serial reception data of plural numbers N of the same fixed length by each of received data and of a selector 9 selecting any of output data, a simultaneous reception detection section 3 detecting a state that some of plural reception data are simultaneously received and they are in contention, and a control section 7 conducting a processing 6 that when the contention state is detected, reception data received in average together with information in a register 5 storing preceding contention information are discriminated to be priority data. One of received data stored in the register 8 is selected as a selection signal for the selector as to the discrimination result of priority processing by the control section 7 and used for output data.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-139757

(43) 公開日 平成9年(1997)5月27日

(51) Int.Cl.⁴

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 L 29/06

H 0 4 L 13/00

3 0 5 D

H 0 4 J 3/17

H 0 4 J 3/17

A

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願平7-294173

(22) 出願日 平成7年(1995)11月13日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 鈴木 昌幸

栃木県小山市城東3丁目28番1号 富士通
デジタル・テクノロジー株式会社内

(74) 代理人 弁理士 井桁 貞一

(54) 【発明の名称】 競合データ処理回路

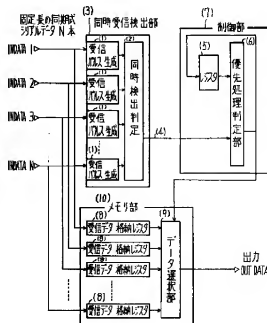
(57) 【要約】

(修正有)

【課題】 並列に入力する複数の受信データの幾つかが互に競合した場合でも、フレーム多重等の通信処理が可能となる様にする。

【解決手段】 複数Nの同じ固定長で同期式シリアルを受信データの全てを各受信データ別に格納するレジスタ8とその出力データの一つを選択するセクタ9とから成るメモリ部10と、複数の受信データの幾つかが同時に受信され互に競合する状態を検出する同時受信検出部3と、競合する状態が検出された場合には、前回の競合情報を保持しているレジスタ5の情報を含めて平均的に受信回数の多い受信データを優先すると判定する処理6を行う制御部7とを具備、制御部における優先処理の判定結果をセクタの選択信号としてレジスタに格納した受信データの一つを選択して、出力データとするように構成する。

本発明の請求項1の競合データ処理回路の構成図



【特許請求の範囲】

【請求項 1】 並列に複数N の同じ固定長で同期式シリアルデータの全ての各受信データ別に格納するレジスタと其の出力データの一つを選択するセレクトとから成るメモリ部と、該複数N の受信データの幾つかが同時受信され互に競合する状態を検出する同時受信検出部と、該幾つかの受信データが競合する状態を検出された場合には、前回の競合情報を保持しているレジスタ情報を含めて平均的に受信回数が多い受信データを優先すると判定する処理を行う制御部とを具え、其の制御部における優先処理の判定結果を前記メモリ部の出力データのセレクトの選択信号として前記複数N のレジスタに格納した受信データの一つを選択して、出力データとすることを特徴とする競合データ処理回路。

【請求項 2】 前記制御部におけるレジスタの代わりに、予め複数N の受信データの処理の優先順位を設定しておく優先処理設定部を設け、其の設定情報に従って該受信データの同時受信の検出信号を監視し、前記優先処理判定部にて競合データの処理の優先順位の判定を行うことを特徴とする請求項 1 記載の競合データ処理回路。

【請求項 3】 前記制御部におけるレジスタの代わりに、外部入力部の優先順位設定アドレスを制御するアドレスデコーダと其の出力を保持するレジスタとから成るアドレス制御部を設けたことを特徴とする請求項 1 記載の競合データ処理回路。

【請求項 4】 前記同時受信検出部の中の複数N の受信パルス生成部にて各受信データの固定長の同期式シリアルデータを検出した後に、複数N の受信データのそれぞれに、予め定めた優先順位の低いものから順番に番号を付加する番号付加部を設け、其の付加した番号に従って優先順位の高い受信データから順番に出力することを特徴とする請求項 1 記載の競合データ処理回路。

【請求項 5】 前記同時受信検出部に対し、受信データの同時検出の判定を行う際基準となる時間幅を生成する同時検出ウィンドウ生成部を設け、その生成した同時検出ウィンドウを基準として前記受信パルス生成部にて検出した受信パルス出力を監視し、受信データの同時検出の判定を行うことを特徴とする請求項 1 記載の競合データ処理回路。

【請求項 6】 前記並列に複数N の受信データの全てのクックを、外部入力部の非同期クックに乗り換えるクック乗換え部を設け、クック乗換え以後の処理は、乗り換えたクックにより行うことを特徴とする請求項 1 記載の競合データ処理回路。

【請求項 7】 前記複数N の受信データの全てを個別に格納しておく複数N のレジスタを、受信データの数N の整数M 倍だけ具え、前記制御部の優先処理結果を基に、 $N \times M$ 個のレジスタの内容を読み出すことを特徴とする請求項 1 記載の競合データ処理回路。

【請求項 8】 電源投入時に入力する初期リセット信号

により、初期状態での優先順位の設定を行う初期リセット優先処理部を設け、電源投入時のみ、優先順位を設定とすることを特徴とする請求項 1 記載の競合データ処理回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、並列に複数N の固定長の同期式シリアルデータを受信してフレーム多重等の通信処理をする場合のデータ処理回路に係り、特に並列入力の複数N の受信データの幾つかが同時に受信され互に競合する場合に、其の後段でフレーム多重等の通信処理が可能となる様に受信データを処理する競合データ処理回路に関する。

【0002】

【従来の技術】従来の並列に複数N の固定長の同期式シリアルデータを受信して例えばフレーム多重等の通信処理をする場合には、図15の従来例の回路図に示す様に、受信入力データ (IN DATA 1～IN DATA N) の並列数N だけ、各受信データの時間関係を、フレーム同期を取って多重化するのに適する様に制御する受信制御回路を具え、それぞれの受信制御回路が個別の受信データに対し必要な時間の制御を行った後、フレーム多重MUX 等の通信処理をしていた。

【0003】

【発明が解決しようとする課題】その為に、複数N の受信データの中の幾つかが同時に受信され互に競合した場合には、其の複数N の受信データをフレーム多重MUX 等の通信処理をすることが出来なかった。本発明の課題は、この様に並列に入力する複数N の受信データが互に競合した場合でも、フレーム多重MUX 等の通信処理が可能となる様に、受信データを処理する競合データ処理回路を提供することにある。

【0004】

【課題を解決するための手段】この課題を解決するための本発明の請求項 1 の競合データ処理回路の基本構成は、図 1 の原理的な構成図に示す如く、並列に入力する複数N の夫々が同じ固定長で同期式シリアルデータ (IN DATA 1～IN DATA N) の受信データの全てを、各受信入力データ別に格納するレジスタ (8) と其の出力データの一つを選択するセレクト (9) から成るメモリ部 (10) と、該複数N の受信入力データの幾つかが同時受信され互に競合する状態を検出する同時受信検出部 (2) とを具え、該受信入力データが競合する状態を検出された場合には、前回の競合時の情報判定部 (6) を含めて平均的に受信回数の多い受信データを優先すると判定する処理 (6) を行い、其の優先処理の判定結果を前記メモリ部 (10) のデータのセレクト (9) の選択信号として、前記複数N のレジスタ (8) に格納した受信データの一つを選択して、出力データ (OUT DATA) とするように構成する。

【0005】この本発明の構成では、並列に入力する複

数Nの同じ固定長の同期式シリアルデータである受信データを、フレーム多重MUX等の通信処理を行う場合で、複数Nの受信データの組み合わせが同時受信され互に結合した場合には、前回の結合時の情報を保持しているレジスタ(5)の情報を含めて平均的に受信回数が多い受信データを優先すると判定する処理(6)を行うことで、順次入力されたデータとしてメモリ部(10)から出力される。そうすれば、其の出力データ(OUT DATA)を用いて、フレーム多重MUX等の通信処理を行うことが可能となる。

【0006】

【発明の実施の形態】図1は、本発明の請求項1に対応する実施例の結合データ処理回路の構成図でもある。図1の(3)同時受信検出部の中の並列に複数Nの(1)受信パルス生成部は、個別に受信入力データ(IN DATA)の中の固定長の同期式シリアルデータの検出を行う。その検出方法は、図9の回路構成とその動作説明図に示す様に、受信したクロックの固定長Lの同期式シリアルデータAから其のフレーム先頭F0PのBを検出し、其の検出出力Bを基準としてシリアル受信データAをS/P変換器でパラレルデータに変換し、受信入力した同期式シリアルデータの誤りの有無を調べる巡回冗長検査CRC(Cyclic Redundancy Check)を行い、其の検査CRCの結果がOKの時に出力するパルスCにより、一定時間幅(ウィンドウW)の受信パルスOUTを生成し出力する。この各受信パルス生成部(1)にて生成された複数Nの受信パルスOUTを、同時検出判定部(2)に入力し、並列にN本の固定長の同期式シリアルデータの中で同時受信され結合状態にある幾つかの受信データの組み合わせの検出を行う。図10はN=3の場合の同時受信検出部(3)の動作説明図であり、図11は其の中の同時検出判定部(2)の回路構成例を示す。図11の同時検出判定部の動作を以下に説明する。その前段のN=3個の各受信パルス生成部(1)で生成した各IN DATA 1~IN DATA 3 毎の3個の受信パルスOUTのA、B、Cを、各レジスタ1~レジスタ3に格納するが、其の各3入力IN DATAの論理和OR出力により、最初に受信した情報A1、B1、C1はレジスタ1に書き込み格納する。一度書き込むと、①ライトカウンタはカウントアップする。次にIN DATA2の受信パルスOUTが来ると、その受信した情報A2、B2、C2をレジスタ2に格納(ライト)する。更に受信したIN DATA 3の受信パルスOUTの情報A3、B3、C3は、レジスタ3に格納(ライト)する。そして各レジスタ1,2,3の出力をセレクトSELの3入力とし、読み出し用リードカウンタの出力の2ビット信号⑦により選択し、選択した出力の3情報②③④を入力とし、受信判定デコーダDEC ⑤にて、図12の(a)同時受信判定DEC表に示す如く、同時受信か単独受信かの判定を行う。そして其の判定結果⑥をリードカウンタの入力とする。図12の(b)は同時検出判定部(2)の中のリードカウンタの構成を示す。このリードカウンタは、図11の受信判定

DEC⑤の判定結果⑥を入力して現カウント値をUPするか0 DOWNするかを判定を行うUP/DOWN判定器と、その出力で動作する3進のUP/DOWNカウンタと、そのカウンタ出力で3受信データA、B、Cの1つを選択するセレクトSELとで構成される。3進のUP/DOWNカウンタは、前記判定結果⑥が、3情報②③④の中の2つ以上が同時受信と判定された場合に動作する。3進カウンタのUP/DOWNは、図13の優先処理判定部の動作を表す優先処理状態遷移表に従って行われる。図12の(b)のリードカウンタの中のエレクトSELの3入力の中の“00”はIN DATA 1の受信パルスOUTのAに相当し、“01”はIN DATA 2の受信パルスOUTのBに相当し、“10”はIN DATA 3の受信パルスOUTのCに相当する。そして、各IN DATAの単独受信時には、セレクトSELの出力“00”のA、“01”のB、“10”のCを選択して、各データの単独受信を表す2ビットの出力⑦とする。

【0007】図1に戻り、同時検出判定部(2)の検出結果(4)と、制御部②のレジスタ⑤に格納されている前回の同時受信検出時に優先処理された出力された最終処理データの情報とにより、優先処理判定部(6)にて受信データの優先処理の判定を行う。其の判定方法は、レジスタ(5)に格納されている前回の結合情報を含めて受信回数の最も多い受信データを優先して出力すると判定する処理を行う。図13は受信入力データが3本の場合の優先処理判定方法を表す優先処理状態遷移表を示し、図14は其の単独受信と結合受信の場合の動作のフローチャートを示す。同時受信検出部(3)にて、並列に3本の固定長の同期式シリアルデータの受信データA、B、Cを単独受信した場合は、先着データを優先して選択し其の処理が終了するまで、他データの処理は待機させられる。並列に3本の受信データA、B、Cの2つ以上3つを同時に受信し結合受信となった場合は、図13の優先処理状態遷移表に従う優先順位で受信データの出力処理を行う。図13の優先処理状態遷移表について説明する。左端の「状態」A、B、Cは、一番最初に処理をした状態の出力の受信データであり、次の「入力データ」A、B、Cは、前記「状態」の後に入力する3個並列の受信データであり、○印は受信有り、X印は受信無しを表す。次の「優先データ」は、其の「入力データ」時に、前回の情報を含めて平均的に受信回数が最も多く優先処理される受信データであり、例えば前記「状態」がAで、「入力データ」A、B、Cが全て受信有り○、○、○の結合受信の場合には、「優先データ」は受信回数が多いAとなる。その「出力後受信」A、B、Cは「優先データ」の出力後の3受信データであり、AがXで、B、Cが共に○印であるX、○、○であるので、其の「状態(次状態)」での前回情報を含めた平均的に受信回数が最も多く優先処理される受信データはB、Cとなる。そこで「次状態」の出力データとして、B、Cの中の例えばBを選択し「状態」Bに移る。「状態」Bでの「入力データ」A、B、Cが、夫々例

例えばX、O、Oであれば、「優先データ」はBとなり、次の「出力後受信」A,B,Cが、夫々例えばX、X、Oであれば、「次状態」のデータとして受信データCが選択され「状態」Cに移る。「状態」Cでの「入力データ」A,B,Cが、全て受信有りのO、O、Oであれば、「優先データ」はCとなり、次の「出力後受信」A,B,Cが、夫々例えばO、O、Xであれば、「次状態」として受信データAが選択されて出力データとなる。この優先処理判定方法により、同時に複数のデータが受信されて総合した場合には前回情報を含めて平均的に受信回数が最も多い受信データを優先して出力するデータ処理を行うことが出来る。

【0008】図2は、本発明の請求項2に対応する総合データ処理回路である。図1の制御部(7)において、レジスタ(5)の代わりに、予めN本のデータの優先順位を設定しておく優先処理設定部(11)を設け、其の設定情報に従って、受信データの同時検出信号(4)を監視して、優先処理判定部(6)にて総合データの出力処理の優先順位の判定を行う。この様にして、優先処理設定部(11)にて予め設定した優先順位で、総合データの出力処理を行うことが出来る。

【0009】図3は、本発明の請求項3に対応する総合データ処理回路である。図1の制御部(7)において、レジスタ(5)の代わりに、外部入力部の優先順位設定アドレスを制御するアドレスデコーダDECと其の出力を保持するレジスタとから成るアドレス制御部(12)を設ける。アドレス制御部(12)のアドレスデコーダDECは、外部入力の優先順位設定アドレスにより、優先処理の設定情報を予め格納してあるレジスタのアドレスを生成する。レジスタには、優先処理設定情報を予め格納してあり、アドレスデコーダDECの出力により設定情報の読み出しを行う。この読み出した情報により、総合する受信データの優先処理の判定を制御部(7)の中の優先処理判定部(6)にて行う。

【0010】図4は、本発明の請求項4に対応する総合データ処理回路である。(3)同時受信検出部の中のN個の受信パルス生成部(1)において、各受信データ別に固定長の同期式シリアルデータを抽出した後に、それぞれに番号を付加する番号付加部(13)を設ける。番号の付加方法は、予め定めた優先順位に従って優先順位の高いものから順番に番号を付加する。但し番号の付加を行うデータは、受信入力データから受信パルスOUTを検出した受信データのみとし、其の付加された番号を基にして、制御部(7)の中の優先処理判定部(6)にて優先順位の処理を行い、総合する受信データの選択出力の処理を行う。

【0011】図5は、本発明の請求項5に対応する総合データ処理回路である。(3)同時受信検出部に對し、受信データの同時検出の判定を行う際に基準となる時間幅(ウィンドウW)を生成する同時検出ウィンドウ生成部(14)を設ける。この生成した同時検出ウィンドウWを基

準として、受信パルス生成部(1)にて検出した受信パルスOUTを監視して、受信データの同時検出の判定を行い、其の判定結果を基に、制御部(7)およびメモリ部(10)で、総合データの処理を行う。この様にして、受信データの総合の起きる確率を変えることが可能となり、総合データの処理に融通性を与えることが出来る。

【0012】図6は、本発明の請求項6に対応する総合データ処理回路である。並列に複数Nの受信データ(1)の全てのクロックを、外部入力の非同期クロックに乗り換えるクロック乗換え部(15)を設ける。クロック乗換え以後の処理(同時受信検出部3、制御部7、メモリ部10)は、乗り換えたクロックにより行うことにより、総合データのクロックに非同期の総合データの処理を行うことが出来ることになる。

【0013】図7は、本発明の請求項7に対応する総合データ処理回路である。受信データの全てを格納しておく複数Nのレジスタ(8)を、受信データの数Nの整数M倍だけ具え、制御部(7)の優先処理結果を基に、N×M個のレジスタ(8)の内容を読み出す。この様にして、M回連続して同じ受信データが読み出した場合でも、N×M個のレジスタ(8)の内容を読み出す事により、データの総合を避ける処理が出来る。

【0014】図8は、本発明の請求項8に対応する総合データ処理回路である。回路の電源投入時に入力する初期状態信号(初期リセット)により、初期状態での優先順位の設定を行う初期リセット優先処理部(16)を設け、初期リセット時のみ、優先順位を固定とする。この様にして、電源投入時の総合データの処理動作を早く安定させることが出来る。

【0015】

【発明の効果】以上説明した如く、本発明によれば、並列に複数の固定長の同期式シリアルデータの受信データをフレーム多重する等の通信処理において、複数のデータを同時に受信して総合した場合でも、出力として総合が避けられるデータ処理が出来て、所要の通信処理を支障無く行うことが出来る様になる効果が得られる。

【図面の簡単な説明】

【図1】 本発明の請求項1の総合データ処理回路の構成図

【図2】 本発明の請求項2の総合データ処理回路の構成図

【図3】 本発明の請求項3の総合データ処理回路の構成図

【図4】 本発明の請求項4の総合データ処理回路の構成図

【図5】 本発明の請求項5の総合データ処理回路の構成図

【図6】 本発明の請求項6の総合データ処理回路の構成図

【図7】 本発明の請求項7の総合データ処理回路の構成図

成図

【図 8】 本発明の請求項 8 の総合データ処理回路の構成図

【図 9】 本発明の総合データ処理回路の受信パルス生成部の構成と動作の説明図

【図 10】 本発明の総合データ処理回路の同時受信検出部の動作説明図

【図 11】 本発明の実施例の同時検出判定部の構成図

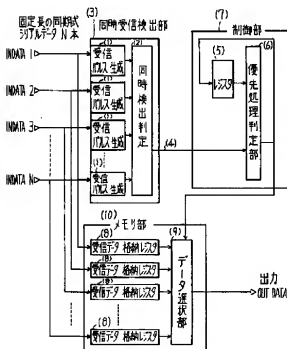
【図 12】 本発明の実施例の同時受信検出部の同時受信判定表とリードカウンタの構成の図

【図 13】 本発明の実施例の優先処理判定部の動作を説明するための優先処理状態遷移表の図

【図 14】 本発明の実施例の処理動作のフローチャ

【図 1】

本発明の請求項 1 の総合データ処理回路の構成図



ト

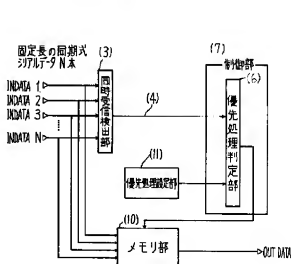
【図 15】 従来のフレーム多重の為の受信データ制御回路の構成例の図

【符号の説明】

(1) は受信パルス生成部、(2) は同時検出判定部、(3) は同時受信検出部、(4) は同時受信の検出信号、(5) は前回情報を保持するレジスタ、(6) は優先処理判定部、(7) は制御部、(8) は並列に複数 N の各レジスタであり、複数 N の受信データを個別に格納する。(9) はデータ選択部 (セクタ) であり、複数 N のレジスタ 8 の出力データの一つを選択して出力する。(10) はメモリ部であり、複数 N のレジスタ (8) と一つのデータ選択部 (9) とから成る。

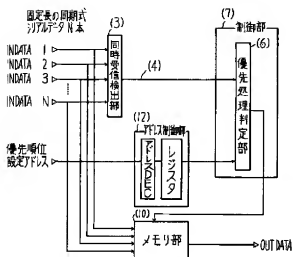
【図 2】

本発明の請求項 2 の総合データ処理回路の構成図



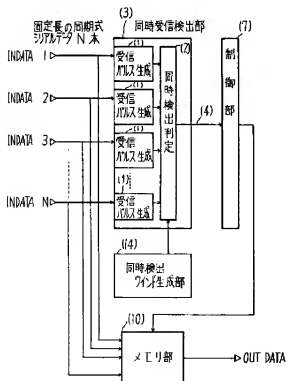
【図3】

本発明の請求項3の競合データ処理回路の構成図



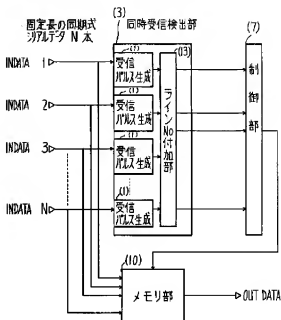
【図5】

本発明の請求項5の競合データ処理回路の構成図



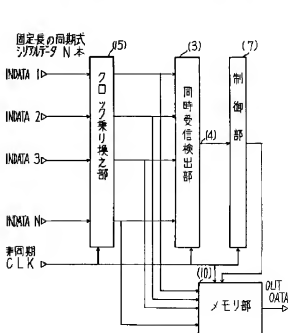
【図4】

本発明の請求項4の競合データ処理回路の構成図



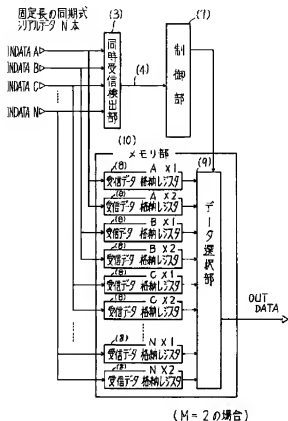
【図6】

本発明の請求項6の競合データ処理回路の構成図



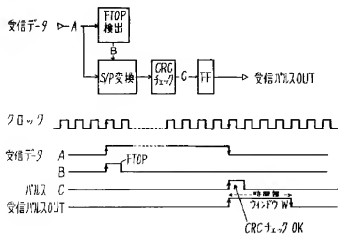
【図7】

本発明の請求項7の競合データ処理回路の構成図



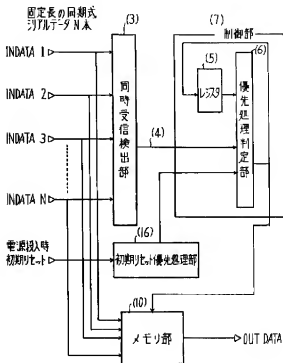
【図9】

本発明の競合データ処理回路の受信パルス生成部の構成と動作の説明図



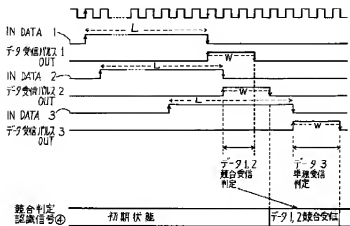
【図8】

本発明の請求項8の競合データ処理回路の構成図



【図 10】

本発明の統合データ巡回回路の同時受信検出部の動作説明図



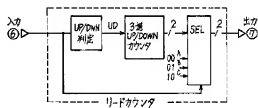
【図 12】

本発明の実施例の同時受信検出部の同時受信判定表とリードカウンタの構成図

(a) 同時受信判定デューティDECの表の図

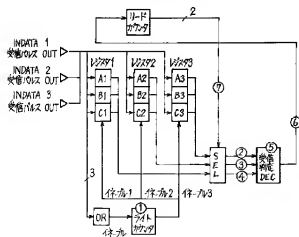
②	0	1	0	0	1	1	0	1
③	0	0	1	0	1	0	1	1
④	0	0	0	1	0	1	1	1
判定④	DA1 1 単独	DA1 2 単独	DA1 3 単独	DA1 2 同時	DA1 1 3 同時	DA1 2 3 同時	DA1 1 2 3 同時	

(b) リードカウンタの構成図



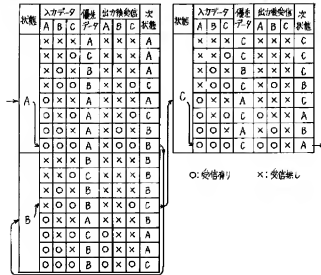
【図 11】

本発明の実施例の同時検出判定部の構成図



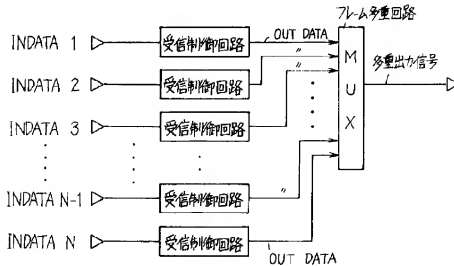
【図 13】

本発明の実施例の優先処理部動作を説明するための優先処理状態遷移表の図



【図 15】

従来のフレーム多重の為の受信データ制御回路の構成例の図



【図14】

本発明の実施例の処理動作のフローチャート

